

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-194845

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

④ 公開 昭和61年(1986)8月29日

H 01 L 21/74  
21/205

7131-5F  
7739-5F

審査請求 未請求 発明の数 1 (全5頁)

⑬ 発明の名称 半導体装置の製造方法

⑰ 特 願 昭60-34351

⑱ 出 願 昭60(1985)2月25日

⑲ 発 明 者 志 水 勲 高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

#### 明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

1. 半導体基板の一主表面にいくつかの凹部をあげ、このうち一部の凹部の内面を覆うように酸化膜又は窒化膜を部分的に形成し、上記酸化膜又は窒化膜で覆われない凹部の内面及び基板表面の一部に高濃度不純物領域を形成し、次いで上記酸化膜又は窒化膜を取り除き、上記凹部を埋めて上記基板上にエピタキシャル半導体層を生成し、このエピタキシャル半導体層の表面に不純物を選択的に拡散することにより、一方で上記高濃度不純物層をコレクタ埋込層とするトランジスタ等を形成するとともに、他方で上記酸化膜を取り除いた領域で基板をコレクタとするサブトランジスタを形成することを特徴とする半導体装置の製造方法。
2. 上記半導体基板はp型シリコン基板を使用し、一部にn<sup>+</sup>型埋込層を有するエピタキシャルn型層表面に高耐圧npnトランジスタ及び高耐圧サブpnpトランジスタを形成する特許請求の範囲

第1項に記載の半導体装置の製造方法。

発明の詳細な説明

〔技術分野〕

本発明は半導体装置の製造方法に関し、特に高耐圧半導体集積回路の製造方法に関するものである。さらに本発明は、表面は平坦であるが部分的に厚さの異なる半導体エピタキシャル層を半導体基板上に有する半導体装置の製造技術に関する。

〔背景技術〕

一つの半導体基体の表面に低耐圧高速の半導体素子と高耐圧の半導体素子とを含む集積回路を製造しようとする場合、活性領域となる半導体エピタキシャル層の厚さが問題となる。すなわち、低耐圧高速の素子を得るためには、エピタキシャル層の厚さを薄くしてコレクタ抵抗を小さくする構造がのぞましいが、一方、高耐圧の素子を得るためには、低濃度のエピタキシャル層を使用し、その厚さを十分に厚くする構造とする必要がある。

上記問題を解決するための一つの手段として、本出願人により開発されたセミアエルプロセスを

利用するバイポーラ高耐圧プロセスがたとえば特公昭58-43903公報に記載されている。

このセミウエル・プロセスによれば、第8図に示すように( $p^-$ 型)半導体基板1の表面の一部に酸化膜等3をマスクにホットエッチして凹部(セミウエル)2をあけ、この凹部2の内面及びこれに接する基板表面の一部に第9図に示すように高濃度( $n^+$ 型)埋込層4,5を形成し、次いで第10図に示すようにエピタキシャル成長によりこの凹部を埋めて基板上に半導体層6を形成したのち、この半導体層表面を平坦化することにより、さいごに第1図に示すように、表面は平坦であるが部分的に厚さの異なる半導体エピタキシャル層7a,7bを有する半導体装置の製造が可能となる。

このようなセミウエル・プロセスによれば、アイソレーション $p$ 型層8により分離された半導体エピタキシャル層における薄い層の部分7aに低耐圧高速のバイポーラ・トランジスタを形成し、セミウエルの形成された厚い層の部分7bに高耐

圧バイポーラ $n p n$ トランジスタ等を形成した半導体装置が実現できる。

ところで上記セミウエル・プロセスを用いたバイポーラプロセスでサブストレート型の $p n p$ トランジスタを製造しようとするれば、セミウエル工程後の $n^+$ 型埋込層のための拡散工程で、第12図に示すように、セミウエル2の一部をホットレジスト等のマスク材9を覆った状態で $n^+$ 型不純物の選択的導入を行う必要がある。このマスク材9でセミウエルの一部(底面)を覆うためにホットレジストを使用する場合、ホットレジスト9がウエルの段部10で段切れ等を生じて確実なマスクを設けることが困難である。

このため、前記した厚さの異なるエピタキシャル層形成のためのセミウエル $n^+$ 型拡散領域( $n^+$ 型埋込層)と無拡散領域(サブストレート型 $p n p$ トランジスタのための領域)を各セミウエル部で選択的に形成することができなかった。

#### [発明の目的]

本発明は上記問題を克服するためになされたも

のであり、その目的とするところは、一つの半導体基体に高耐圧バイポーラ $n p n$ 素子と、高耐圧サブストレート $p n p$ 素子とを共存して形成することのできる半導体装置の製造方法を提供することにある。

#### [発明の概要]

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記のとおりである。

すなわち、半導体基板の一主表面にいくつかの凹部をあけ、このうち、一部の凹部の内面を覆うように酸化膜を生成し、上記酸化膜で覆われない凹部の内面及び基板表面の一部に高濃度不純物領域を形成し、次いで上記酸化物を取り除き、上記凹部を埋めて上記基板上にエピタキシャル半導体層を生成したのち、その表面を平坦化することにより一つの基板上に高濃度埋込層を有するセミウエル部と高濃度埋込層を有しないセミウエルのある厚さの異なるエピタキシャル半導体層を形成することができ、これにより、高耐圧バイポーラ素子と高耐圧サブストレート $p n p$ 素子とを共存さ

せることが可能となって前記発明の目的を達成できる。

#### [実施例]

第1図乃至第7図は本発明の一実施例を示すものであって、同一半導体基体上に高耐圧バイポーラ $n p n$ 素子と、高耐圧サブストレート $p n p$ 素子とを形成するプロセスの工程断面図である。以下、各工程にそって詳述する。

- (1) 結晶方位(100)の主面をもつ高比抵抗 $p^-$ 型シリコン基板1を用意し、第1図に示すように酸化膜3を形成し、ホットレジストマスク10を用いて酸化膜に結晶軸方向<100>に平行な辺のみからなる窓11をエッチングにより開ける。
- (2) 第2図に示すように、異方性エッチング液を用いて約20 $\mu m$ の深さに凹部2を基板1に形成する。この際使用されるエッチング液はKOH 20wt%水溶液にイソプロピルアルコールと、エッチング面にピラミッド状の突起が現れるのを防ぐための界面活性剤FC-95等を混合したもので、KOH 300g, 純水1200cc, イソブ

ロビルアルコール300 cc, FC-95の0.1%水溶液25 ccによって作成した。基板を20  $\mu$ mエッチングするには、この混合エッチング液を用いて液温約70℃で約50分を要した。アルカリエッチング液であるKOH系エッチング液は

(100)面に対してエッチング速度の速い異方性エッチング液であるため、この液を用いてエッチすると、第2図に示す断面形状の凹部(セミアル)2が形成された。

(3) 次に、ひさしに当るSiO<sub>2</sub>部を除去したのちホトレジスト12を塗布し、第3図に示すように上記凹部のうち一部の凹部2aを露出し、他の凹部2bのみを覆うようにホトレジスト12を部分的に除去した状態でO<sub>2</sub>をイオン打込みすることにより、露出した凹部2aの底面にO<sub>2</sub>打込層13を選択的に形成する。

この後、不活性雰囲気中でアニールすることにより、O<sub>2</sub>打込層の形成された凹部底面に酸化膜14(第4図)を形成する。

(4) 前記ホトレジストを取り除き、第4図に示す

ッチし、そのあと、表面酸化を行ってエピタキシャル層17表面に新たに酸化膜20を形成し、第7図に示すように周知のホトレジスト技術によってアイソレーション用窓を明け、エピタキシャル半導体層の浅い部分でアイソレーション用p型拡散層21を形成する。つづいて通常のバイポーラnpnトランジスタの製造工程12に従ってn<sup>+</sup>型埋込層16の形成された部分のn型エピタキシャル層17表面にコレクタn<sup>+</sup>型拡散層22、ベースp型拡散層23、その周辺に深いp型拡散層29を形成するエミッタn<sup>+</sup>型拡散層24を形成するとともにn<sup>+</sup>型埋込層の形成されない部分にサブpnpトランジスタのエミッタp型拡散層25、ベース取出しn<sup>+</sup>型拡散層26、コレクタ取出しp<sup>+</sup>型層27を形成する。

さいごに酸化膜20にコンタクト用のホトレジストエッチングを行い、Alの蒸着、パターニングエッチを行うことにより各領域よりの電極28を形成する。

〔発明の効果〕

ように高濃度のドナ不純物、たとえばSbをイオン打込みする。このとき酸化膜14の形成されている一方の凹部2aにはSbはSiO<sub>2</sub>膜に打込まれるため、他方の凹部2bの底面に対してのみSbが打込まれる。このあと1,200°で15hr拡散アニールすることにより上記Sb打込み部分15にn<sup>+</sup>型埋込拡散層16(第5図)が形成される。

(5) 凹部を含む基板全面に、第5図に示すように、エピタキシャル成長によりn<sup>-</sup>型の半導体層17を45  $\mu$ m成長させる。

(6) 前記凹部2が転写されたエピタキシャル半導体層17表面の凹部18上のみエッチングマスク材として用いる酸化膜19をホトレジストエッチングにより形成し、異方性エッチング液によって上記エピタキシャル半導体層17をエッチングすることにより第6図に示すように表面平坦化されたエピタキシャル半導体層表面を得る。

(7) 残った酸化膜19をHF(フッ酸)等により除去した後、異方性エッチング液にて再度全面エ

以上実施例で述べた本発明によれば下記のように効果が得られる。一つの基体に形成された凹部のうち、一部の凹部内面に酸化膜を形成することにより、酸化膜の形成されない凹部に対して選択的にn<sup>+</sup>型埋込層を形成することができ、したがって一つの基体に高耐圧バイポーラnpnトランジスタと高耐圧サブストレートpnpトランジスタを共存して形成することが可能となった。

凹部内部へのO<sub>2</sub>打込みによる酸化膜の形成は凹部内面に直接にホトレジストマスクを設ける場合のように段部での段切れ等がなく、拡散マスクとして確実性がある。なお、本発明方法によれば凹部の側面部分にn<sup>+</sup>型埋込層ができることがあるが、このことはトランジスタ特性上は問題はない。

このように高耐圧サブストレートpnpトランジスタが形成できることにより回路製作において自由度が増大した。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施

例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

たとえば、実施例の工程(3) (第3図)において、 $O_2$  打込みの代りに  $N_2$  を打込み SiN (シリコン窒化物) 膜を形成してもよく、Sb 打込み拡散の場合、酸化膜の場合と同様に不純物を統御して凹部によって選択的に  $n^+$  型埋込層を形成することが可能となる。

他の応用例としては、工程(2)によってあけられた全ての凹部内面に酸化膜を形成した後、埋込層を形成する側の酸化膜をホットエッチにより取り除き、その後に Sb イオン打込み、拡散を行ってもよく、この場合も、凹部によって選択的に  $n^+$  型埋込層を形成することが可能となる。

#### 〔利用分野〕

本発明は IC の一部に高耐圧サブストレート pnp トランジスタを有する半導体装置、たとえば高耐圧ドライバー、VFD (バキュームフローレンス・ディスプレイ) 用、あるいは PDP (プ

ラズマ・ディスプレイ・パネル) 用の半導体装置に応用して有効である。

第13図及び第14図はサブストレート pnp ( $Q_2$ ) トランジスタを使った回路の例を示す。

#### 図面の簡単な説明

第1図乃至第7図は本発明による一実施例を示す半導体装置製造プロセスの工程断面図である。

第8図乃至第11図は半導体基体に厚さの異なるエピタキシャル半導体層を形成する場合の工程断面図である。

第12図は基体の凹部にホトレジストマスクを形成する場合の従来例を示す一部工程の断面図である。

第13図及び第14図は本発明を適用する回路例を示す回路図である。

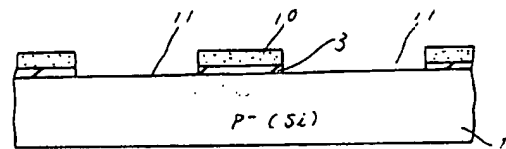
1…p型Si基板、2…凹部、3…酸化膜、4、5… $n^+$ 型拡散埋込層、6、7a、7b…エピタキシャル成長n型半導体層、8…アイソレーションp型層、9、10…ホトレジストマスク、11…窓、12…凹部、13… $O_2$  打込み部、14…

酸化膜、15…Sb 打込み部、16… $n^+$ 型埋込層、17…エピタキシャルn型層、18…2次的に形成された凹部、19…酸化膜マスク、20…酸化膜、21…アイソレーションp型層。

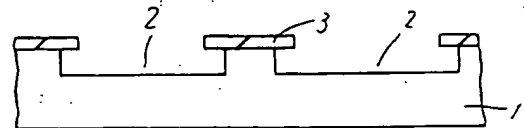
代理人 弁理士 小川 勝男



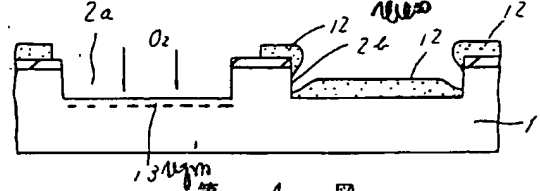
第 1 図



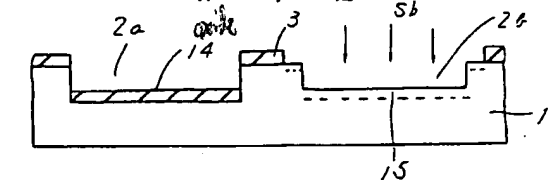
第 2 図



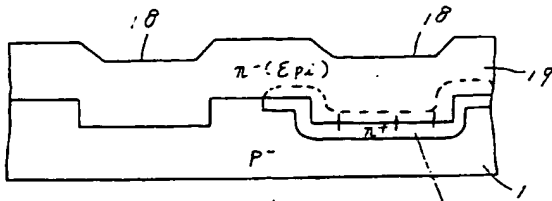
第 3 図



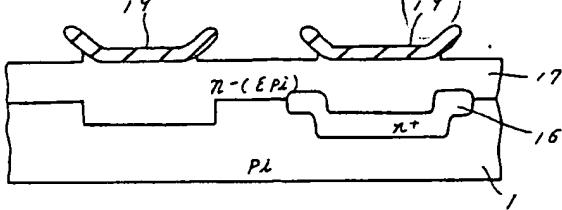
第 4 図



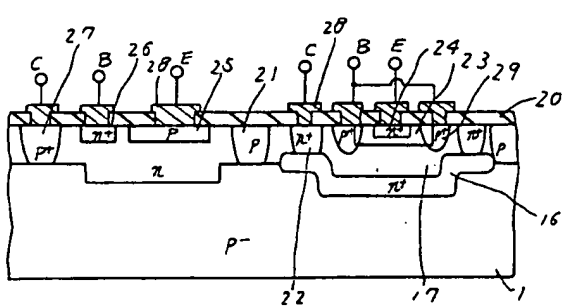
第 5 図



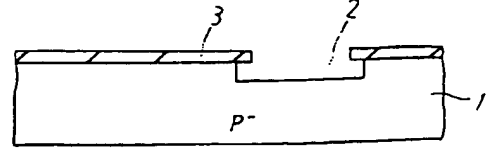
第 6 図



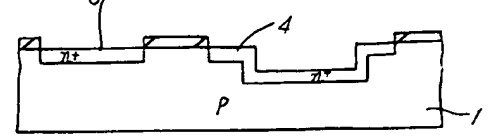
第 7 図



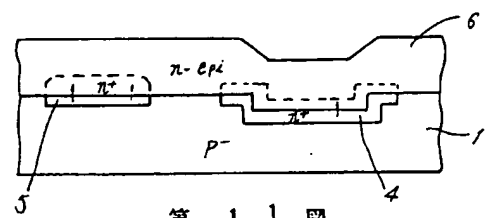
第 8 図



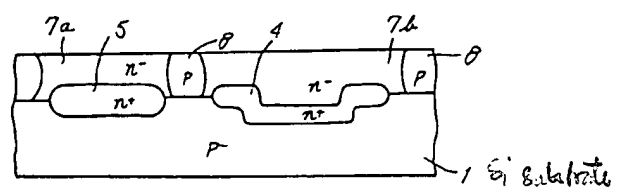
第 9 図



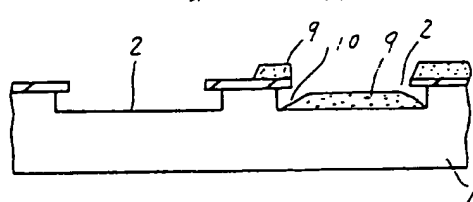
第 10 図



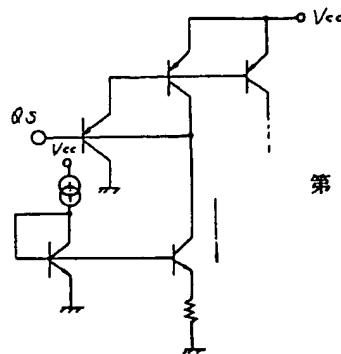
第 11 図



第 12 図



第 13 図



第 14 図

